

(9) Japanese Patent Application Laid-Open No.10-12607 (1998)

“Semiconductor Device”

The following is an extract relevant to the present application.

5

The present application adopts, as a glass coating film that covers a semiconductor element, a glass coating film that includes a first glass coating film having electrical conductivity of between the range shown in the following expression (1) under the temperature condition of between 17°C to 145°C.

10

$$\text{Electrical Conductivity} \geq 1 \times 10^{-10} / E \cdots (1)$$

(E: Electric field strength [V/cm],  $E \geq 2 \times 10^4$  [V/cm])

Further, a mold resin 14 is formed so that it is in contact with the upper surface of a first glass coating film 13a.

15

In the configuration as aforementioned, it is possible to avoid occurrence of current leakage owing to polarization of a mold resin when an IC has inside an electrode to which a high-voltage is applied.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12607

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316			H 0 1 L 21/316	H
21/8234			27/08	1 0 2 Z
27/088				

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願平8-161620

(22) 出願日 平成8年(1996) 6月21日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 寺島 知秀

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

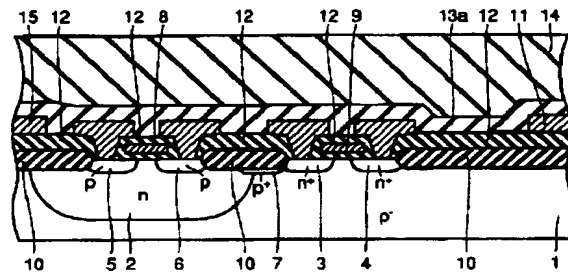
【課題】 IC内部に高電圧が印加される電極がある場合のモールド樹脂の分極によるリーク電流の発生を防止し得る半導体装置を提供する。

【解決手段】 半導体素子を覆うガラスコート膜として、17℃以上145℃以下の温度条件下で以下の式(1)で示される範囲の導電率を有する第1のガラスコート膜を含むガラスコート膜を採用する。

導電率 $\geq 1 \times 10^{-10} / E$  … (1)

(E: 電界強度 [V/cm],  $E \geq 2 \times 10^4$  [V/cm])

またモールド樹脂14を第1のガラスコート膜13aの上表面上に接触して形成する。



## 【特許請求の範囲】

【請求項1】 主表面を有する半導体領域と、  
前記半導体領域の主表面に形成された半導体素子と、  
前記半導体素子を覆うガラスコート膜と、  
前記ガラスコート膜上に形成されたモールド樹脂とを備\*

$$\text{導電率} \geq 1 \times 10^{-10} / E \cdots (1)$$

(E: 電界強度 [V/cm],  $E \geq 2 \times 10^4$  [V/cm])

前記モールド樹脂は前記第1のガラスコート膜の上表面  
上に接触して形成されている、半導体装置。

【請求項2】 主表面を有する半導体領域と、  
前記半導体領域の主表面に形成された半導体素子と、  
前記半導体素子を覆うガラスコート膜と、  
前記ガラスコート膜上に形成されたモールド樹脂とを備\*

$$\text{導電率} \geq 1 \times 10^{-10} / E \cdots (1)$$

(E: 電界強度 [V/cm],  $E \geq 2 \times 10^4$  [V/cm])

前記第1のガラスコート膜は、高電圧が印加される電極  
を覆う部分と高電圧が印加されない電極を覆う部分とが  
分離して形成されている、半導体装置。

【請求項3】 前記ガラスコート膜は、前記第1のガラ  
スコート膜の上表面上に接触するとともに前記第1のガラ  
スコート膜の分離された領域を覆うように形成された  
第2のガラスコート膜を含む、請求項2に記載の半導体  
装置。

【請求項4】 主表面を有する半導体領域と、  
導電率  $\geq 1 \times 10^{-10} / E \cdots (1)$

(E: 電界強度 [V/cm],  $E \geq 2 \times 10^4$  [V/cm])

前記第2のガラスコート膜は前記第1の配線層の一部上  
と前記半導体素子上とに形成されており、

前記第1のガラスコート膜は前記第2のガラスコート膜  
の上表面上と前記第1の配線層の上表面上とに接触して  
形成されている、半導体装置。

【請求項5】 前記第2のガラスコート膜は前記第1の  
配線層の上表面上に第1の開口を有し、前記第1のガラ  
スコート膜は前記第1の開口内で前記第1の配線層の上  
表面に接触するとともに前記第1の開口よりも小さい第  
2の開口を有する、請求項4に記載の半導体装置。

【請求項6】 主表面を有する半導体領域と、  
導電率  $\geq 1 \times 10^{-10} / E \cdots (1)$

(E: 電界強度 [V/cm],  $E \geq 2 \times 10^4$  [V/cm])

前記第2のガラスコート膜は前記第1の配線層上と前記  
半導体素子上とに形成されるとともに前記第1の配線層  
の上表面上に第1の開口を有し、

前記第2の配線層は前記第1の開口内で前記第1の配線  
層に接触するとともに前記第1の開口を充填するように  
形成されており、

前記第1のガラスコート膜は前記第2のガラスコート膜

\*え、

前記ガラスコート膜は、17℃以上145℃以下の温度  
条件下で以下の式(1)で示される範囲の導電率を有す  
る第1のガラスコート膜を含み、

【数1】

\*え、

10 前記ガラスコート膜は、17℃以上145℃以下の温度  
条件下で以下の式(1)で示される範囲の導電率を有す  
る第1のガラスコート膜を含み、

【数2】

★前記半導体領域の主表面に形成された半導体素子と、  
前記半導体素子を覆うガラスコート膜と、

20 前記ガラスコート膜上に形成されたモールド樹脂と、  
前記半導体領域上に形成された第1の配線層とを備え、  
前記ガラスコート膜は、17℃以上145℃以下の温度  
条件下で以下の式(1)で示される範囲の導電率を有す  
る第1のガラスコート膜と、前記第1のガラスコート膜  
の表面に接する第2のガラスコート膜とを含み、

【数3】

★

30 ☆前記半導体領域の主表面に形成された半導体素子と、  
前記半導体素子を覆うガラスコート膜と、  
前記ガラスコート膜上に形成されたモールド樹脂と、  
前記半導体領域上に形成された第1の配線層と、  
前記第1の配線層の上表面に接触する第2の配線層とを  
備え、

前記ガラスコート膜は、17℃以上145℃以下の温度  
条件下で以下の式(1)で示される範囲の導電率を有す  
る第1のガラスコート膜と、前記第1のガラスコート膜  
の表面に接する第2のガラスコート膜とを含み、

【数4】

☆40

の上表面上と前記第2の配線層の上表面上とに接触して  
形成されている、半導体装置。

【請求項7】 前記第1の配線層と同一の層から形成さ  
れる第3の配線層をさらに備え、

前記第1のガラスコート膜は前記第2の配線層に達する  
第2の開口を有し、

50 前記第1および第2のガラスコート膜は前記第3の配線

層上に第3の開口を有するとともに、前記第1のガラスコート膜は前記第3の配線層に接触しないように形成されている、請求項6に記載の半導体装置。

【請求項8】 主表面を有する半導体領域と、  
前記半導体領域の主表面に形成された半導体素子と、  
前記半導体素子を覆うガラスコート膜と、  
前記ガラスコート膜上に形成されたモールド樹脂とを備え、  
前記ガラスコート膜は、2.05以上の屈折率を有する窒化膜を含み、  
前記モールド樹脂は前記窒化膜の上表面上に接触して形成されている、半導体装置。

【請求項9】 主表面を有する半導体領域と、  
前記半導体領域の主表面に形成された半導体素子と、  
前記半導体素子を覆うガラスコート膜と、  
前記ガラスコート膜上に形成されたモールド樹脂とを備え、  
前記ガラスコート膜は、2.05以上の屈折率を有する窒化膜を含み、  
前記窒化膜は高電圧が印加される部分を覆う部分と高電圧が印加されない電極を覆う部分とが分離して形成されている、半導体装置。

【請求項10】 主表面を有する半導体領域と、  
前記半導体領域の主表面に形成された半導体素子と、  
前記半導体素子を覆うガラスコート膜と、  
前記ガラスコート膜上に形成されたモールド樹脂と、  
前記半導体領域上に形成された第1の配線層とを備え、  
前記ガラスコート膜は、2.05以上の屈折率を有する窒化膜からなる第1のガラスコート膜と、前記第1のガラスコート膜の表面に接する第2のガラスコート膜とを含み、  
前記第2のガラスコート膜は前記第1の配線層上と前記半導体素子上とに形成されており、  
前記第1のガラスコート膜は前記第2のガラスコート膜の上表面上と前記第1の配線層の上表面上とに接触して形成されている、半導体装置。

【請求項11】 主表面を有する半導体領域と、  
前記半導体領域の主表面に形成された半導体素子と、  
前記半導体素子を覆うガラスコート膜と、  
前記ガラスコート膜上に形成されたモールド樹脂と、  
前記半導体領域上に形成された第1の配線層と、  
前記第1の配線層の上表面に接触する第2の配線層とを備え、  
前記ガラスコート膜は、2.05以上の屈折率を有する窒化膜からなる第1のガラスコート膜と、前記第1のガラスコート膜の表面に接する第2のガラスコート膜とを含み、  
前記第2のガラスコート膜は前記第1の配線層上と前記半導体素子上とに形成されるとともに前記第1の配線層の上表面上に第1の開口を有し、

前記第2の配線層は前記第1の開口内で前記第1の配線層に接触するとともに前記第1の開口を充填するように形成されており、

前記第1のガラスコート膜は前記第2のガラスコート膜の上表面上と前記第2の配線層の上表面上とに接触して形成されている、半導体装置。

【請求項12】 前記半導体素子は、  
前記半導体領域の主表面に形成された素子分離絶縁膜と、

10 前記半導体領域の主表面の前記素子分離絶縁膜に隣接する領域に、チャネル領域を挟むように間隔を隔てて形成された1対のソース／ドレイン領域と、  
前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、  
前記素子分離絶縁膜下に形成され、前記ソース／ドレイン領域と同じ導電性を有する不純物領域とを含む、請求項1～11のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】この発明は、半導体装置に関し、より特定的には、高耐圧IC(Integrated Circuit)を有する半導体装置に関する。

【0002】

30 【従来の技術】図13は、従来の高耐圧ICを有する半導体装置の構造を示した断面図である。図13を参照して、p型半導体基板1の主表面には所定の間隔を隔てて素子分離のためのフィールド酸化膜10が形成されている。p型半導体基板1の主表面の所定領域にはn<sup>-</sup>拡散領域2が形成されており、このn<sup>-</sup>拡散領域2はウェル領域を構成する。n<sup>-</sup>拡散領域2の表面にはチャネル領域を挟むように所定の間隔を隔ててp型拡散領域5および6が形成されている。このp型拡散領域5および6はソース／ドレイン領域を構成する。チャネル領域上にはゲート絶縁膜を介してポリシリコン膜からなるゲート電極8が形成されている。p型拡散領域5および6とゲート電極8とによってpチャネル型MOSトランジスタが構成されている。このpチャネル型MOSトランジスタとフィールド酸化膜10を隔てて隣接するように1対のn型拡散領域3および4が所定の間隔を隔ててチャネル領域を挟むように形成されている。n型拡散領域3と4との間に位置するチャネル領域上にはゲート絶縁膜を介してポリシリコン膜からなるゲート電極9が形成されている。このn型拡散領域3および4とゲート電極9とによってnチャネル型MOSトランジスタが構成されている。p型拡散領域6とn型拡散領域3との間に位置するフィールド酸化膜10下にはp<sup>+</sup>拡散領域7が形成されている。

50 【0003】なお、フィールド酸化膜10とゲート電極8および9とを覆うように素子の保護のためのパッシベーション膜12が形成されており、このパッシベーション

5

ン膜12のn型拡散領域3および4とp型拡散領域5および6とに対応する領域にはそれぞれコンタクトホールが設けられている。そのコンタクトホールを介してn型拡散領域3および4とp型拡散領域5および6とにそれぞれ接続されるソース/ドレイン電極が形成されている。パッシベーション膜12上の所定領域にはアルミ電極11および15が形成されている。アルミ電極15は、p型半導体基板1とはほぼ同電位を有する。高耐圧ICでは高電圧入力があるため、IC内部にアルミ電極11のように高電圧になるアルミ電極が必ず存在する。

【0004】ソース/ドレイン電極とアルミ電極11および15とパッシベーション膜12とを覆うようにガラスコート膜13bが形成されている。ガラスコート膜13b上にはモールド樹脂14が形成されている。

【0005】ここで、アルミ電極11に高電圧入力があった場合、常温時にはこのアルミ電極11による電界は小さく、この電界がnチャネル型MOSトランジスタやpチャネル型MOSトランジスタにはあまり影響を及ぼさない。

【0006】

\*20

$$V2 = V \cdot C1 / (C1 + C2 + C1 \cdot C2 / C_m) \dots (2)$$

【0008】上記式(2)を参照して、 $C_m$ が十分小さいときは、 $V2 \ll V$ となる。しかし、モールド樹脂14は一般的に高温状態において電界が加わると樹脂に含まれる可動イオンが動くことによって分極するという性質を持っている。このモールド樹脂14の分極によって $C_m$ が上昇し、そのため $V2$ も上昇する。 $V2$ が上昇すると、図14に示すように $p^+$ 拡散領域7がn型反転しやすくなり、その結果寄生MOSトランジスタがオンしてリーク電流が発生しやすくなる。 $p^+$ 拡散領域7がn反転するときにおける $C2$ に蓄積された電荷量はフィールド反転電圧( $V_{tf}$ )とフィールド酸化膜10の容量( $C$ )とから計算可能( $Q = C2V2 = C \cdot V_{tf}$ )であり、一般的には $1 \times 10^{11} \sim 1 \times 10^{12} [cm^{-2}]$ である。この $C2$ に蓄積された電荷量はモールド樹脂14の密度を考慮するとかなり小さい値であり、モールド樹脂14が分極して形成される電荷密度として十分考えられる値である。このことは、モールド樹脂14自体の改善での $V2$ の安定化が困難であることを意味する。

【0009】また、モールド樹脂14に含まれる可動イオンの移動は原理的にはモールド樹脂14内に電界がなくなるまで停止しない。したがって、上記の $p^+$ 拡散領域7がn反転するときの $V2$ よりも高い電圧の電極がIC内部に存在する場合、モールド樹脂14の分極によるリーク電流の発生は極めて起こりやすい。上記のように、従来の高耐圧ICを含む半導体装置の構造では、IC内部に高電圧が印加されるアルミ電極11がある場合モールド樹脂14の分極を防止することは難しいという問題点があった。

【0010】この発明は、上記のような課題を解決する

6

\*【発明が解決しようとする課題】しかしながら、高温時には、高電圧が印加されるアルミ電極11による電界が大きくなり、その結果 $p^+$ 拡散領域7がn型に反転して $n^-$ 拡散領域2とn型拡散領域3とによって構成される寄生MOSトランジスタが図14に示すようにオンする。その結果、低耐圧素子であるnチャネル型MOSトランジスタとpチャネル型MOSトランジスタとによって構成される回路にリーク電流が発生する。図15は、図14に示した電界に沿った等価コンデンサモデルを示した概略図である。図15を参照して、 $C1$ はガラスコート膜13bの容量、 $C_m$ はモールド樹脂の容量、 $C2$ はフィールド酸化膜10、パッシベーション膜12およびガラスコート膜13bを合計した容量を示している。電圧( $V$ )がアルミ電極11に印加されると、各コンデンサの容量に従って電圧が分担される。 $p$ 型半導体基板1とモールド樹脂14との間に掛かる電圧( $V2$ )は以下の式(2)によって表わされる。

【0007】

【数5】

ためになされたものである。この発明の1つの目的は、モールド樹脂の分極によるリーク電流の発生を有効に防止し得る半導体装置を提供することである。

【0011】この発明のもう1つの目的は、IC内部に高電圧電極がある場合にモールド樹脂の分極が発生するのを防止し得る半導体装置を提供することである。

【0012】

【課題を解決するための手段】請求項1に記載の半導体装置は、半導体領域と、半導体素子と、ガラスコート膜と、モールド樹脂とを備えている。半導体領域は主表面を有し、半導体素子はその半導体領域の主表面に形成されている。ガラスコート膜は半導体素子を覆うように形成されており、モールド樹脂はガラスコート膜上に形成されている。ガラスコート膜は、 $17^\circ C$ 以上 $145^\circ C$ 以下の温度条件下で、導電率 $\geq 1 \times 10^{-10} / E$ で示される範囲の導電率を有する第1のガラスコート膜を含んでいる。ここで、 $E$ は電界強度 $[V/cm]$ を示しており、 $E \geq 2 \times 10^4 [V/cm]$ の範囲である。また、上記モールド樹脂は第1のガラスコート膜の上表面上に接触して形成されている。請求項1に記載の発明によれば、上記のような範囲の導電率を有する導電性のガラスコート膜を用いることによって、その第1のガラスコート膜の内部の電界がその第1のガラスコート膜自体が帯電することによって減少される。また、モールド樹脂の分極による電界に起因するドリフト電子電流が導電性の第1のガラスコート膜内をモールド樹脂の方向に向かって流れるので、その電流による電子が第1のガラスコート膜とモールド樹脂との界面に蓄積して電界をシールドするという効果を奏する。これにより、高い電圧の電極

が半導体装置の内部に存在する場合にもモールド樹脂の分極によるリーク電流の発生を有効に防止することができる。

【0013】請求項2における半導体装置は、請求項1と同様、半導体領域と、半導体素子と、ガラスコート膜と、モールド樹脂とを備えており、ガラスコート膜は請求項1と同じ導電率を有する第1のガラスコート膜を含んでいる。そして、その導電性の第1のガラスコート膜は高電圧が印加される電極を覆う部分と高電圧が印加されない電極を覆う部分とが分離して形成されている。このように構成することによって、導電性の第1のガラスコート膜を採用したとしても高電圧が印加される電極と高電圧が印加されない電極との間でリーク電流が発生するのを有効に防止することができる。

【0014】請求項3の半導体装置では、上記請求項2の構成において、ガラスコート膜を、第1のガラスコート膜の上表面上に接触するとともに第1のガラスコート膜の分離された領域を覆うように形成された第2のガラスコート膜を含むように構成する。これにより、第1のガラスコート膜の分離された領域においてデバイス表面が第2のガラスコート膜によって覆われるため、第1のガラスコート膜のない領域が存在することによって耐湿性が低下するという不都合を防止することができる。

【0015】請求項4における半導体装置は、半導体領域と、半導体素子と、ガラスコート膜と、モールド樹脂と、半導体基板上に形成された第1の配線層とを備えている。また、ガラスコート膜は、17℃以上145℃以下の温度条件下で、導電率 $\geq 1 \times 10^{-10} / E$ でかつ $E \geq 2 \times 10^4 [V/cm]$ の範囲の導電率を有する第1のガラスコート膜と、その第1のガラスコート膜の表面に接する第2のガラスコート膜とを含むように構成する。また、第2のガラスコート膜は第1の配線層の一部上と半導体素子上とに形成されており、第1のガラスコート膜は第2のガラスコート膜の上表面上と第1の配線層の上表面上とに接触して形成されている。請求項4に記載の半導体装置では上記のように構成することによって、第1の配線層以外の配線層には第1のガラスコート膜が接さず、第1の配線層以外の配線層は第2のガラスコート膜で覆われるように形成されるので、第1のガラスコート膜の導電性に起因するリーク電流の発生を防止することができる。

【0016】請求項5に記載の半導体装置では、上記請求項4の構成において、第2のガラスコート膜を第1の配線層の上表面上に第1の開口を有するように構成するとともに、第1のガラスコート膜を第1の開口内で第1の配線層の上表面上に接触するとともに第1の開口よりも小さい第2の開口を有するように構成する。

【0017】請求項6に記載の半導体装置は、半導体領域と、半導体素子と、ガラスコート膜と、モールド樹脂と、第1および第2の配線層とを備えている。ガラスコ

ート膜は、17℃以上145℃以下の温度条件下で、導電率 $\geq 1 \times 10^{-10} / E$ でかつ $E \geq 2 \times 10^4 [V/cm]$ で示される範囲の導電率を有する第1のガラスコート膜と、その第1のガラスコート膜の表面に接する第2のガラスコート膜とを含むように構成する。第2のガラスコート膜は第1の配線層上と半導体素子上とに形成されるとともに第1の配線層の上表面上に第1の開口を有し、第2の配線層は第1の開口内で第1の配線層に接触するとともに第1の開口を充填するように形成されている。第1のガラスコート膜は、第2のガラスコート膜の上表面上と第2の配線層の上表面上とに接触して形成されている。このように請求項6の半導体装置では、配線層を第1および第2の配線層の2層構造に構成することによって、1層目の配線層で構成された一般的な回路のリーク電流を防止することができる。

【0018】請求項7における半導体装置では、上記請求項6の構成において、第1の配線層と同一の層から形成される第3の配線層をさらに備えるように構成するとともに、第1のガラスコート膜を第2の配線層に達する第2の開口を有するようにし、第1および第2のガラスコート膜を第3の配線層上に第3の開口を有するようにするとともに第1のガラスコート膜を第3の配線層に接触しないように構成する。このように構成すれば、第1のガラスコート膜は第2の配線層のみに接触させることができ、第1のガラスコート膜に接触する配線層と接触しない配線層とを同時に形成することができる。

【0019】請求項8における半導体装置は、半導体領域と、半導体素子と、ガラスコート膜と、モールド樹脂とを備えており、ガラスコート膜は、2.05以上の屈折率を有する窒化膜を含んでいる。モールド樹脂は、窒化膜の上表面上に接触して形成されている。このように構成することによっても、上記の屈折率を有する窒化膜は導電性を有することになり、その結果モールド樹脂の分極によるリーク電流の発生を有効に防止することができる。

【0020】請求項9における半導体装置は、半導体領域と、半導体素子と、ガラスコート膜と、モールド樹脂とを備えており、ガラスコート膜は2.05以上の屈折率を有する窒化膜を含んでいる。そして、窒化膜は高電圧が印加される電極を覆う部分と高電圧が印加されない電極を覆う部分とが分離して形成されている。このように構成すれば、請求項2と同様の効果を得ることができる。

【0021】請求項10における半導体装置は、半導体領域と、半導体素子と、ガラスコート膜と、モールド樹脂と、第1の配線層とを備えている。また、ガラスコート膜は2.05以上の屈折率を有する窒化膜からなる第1のガラスコート膜と、その第1のガラスコート膜の表面に接する第2のガラスコート膜とを含んでいる。第2のガラスコート膜は第1の配線層上と半導体素子上とに

形成されており、第1のガラスコート膜は第2のガラスコート膜の上表面上と第1の配線層の上表面上とに接触して形成されている。このように構成することによって請求項4と同様の効果を得ることができる。

【0022】請求項11における半導体装置は、半導体領域と、半導体素子と、ガラスコート膜と、モールド樹脂と、第1および第2の配線層とを備えている。ガラスコート膜は2.05以上の屈折率を有する窒化膜からなる第1のガラスコート膜と、その第1のガラスコート膜の表面に接する第2のガラスコート膜とを含んでいる。第2のガラスコート膜は第1の配線層上と半導体素子上とに形成されるとともに第1の配線層の上表面上に第1の開口を有している。第2の配線層は第1の開口内で第1の配線層に接触するとともに第1の開口を充填するように形成されている。第1のガラスコート膜は第2のガラスコート膜の上表面上と第2の配線層の上表面上とに接触して形成されている。このように構成することによって請求項6と同様の効果を得ることができる。

【0023】請求項12における半導体装置では、上記請求項1〜11の構成において、半導体素子が、素子分離絶縁膜と、1対のソース/ドレイン領域と、ゲート電極と、不純物領域とを含むように構成する。素子分離絶縁膜は、半導体領域の主表面に形成されている。ソース/ドレイン領域は、半導体領域の主表面の素子分離絶縁膜に隣接する領域に、チャンネル領域を挟むように間隔を隔てて形成されている。ゲート電極は、チャンネル領域上にゲート絶縁膜を介して形成されている。不純物領域は、素子分離絶縁膜下に形成されており、ソース/ドレイン領域と同じ導電性を有する。このような構造を有する半導体装置においては、上記不純物領域がモールド樹脂の分極による電界によって反転するのを防止することができ、その結果リーク電流を低減することができる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0025】（実施の形態1）図1〜図5を参照して実施の形態1について説明する。まず図1を参照して、実施の形態1による高耐压1Cでは、p型半導体基板1の主表面に所定の間隔を隔てて素子分離のためのフィールド酸化膜10が形成されている。またp型半導体基板1の主表面にはnウェルを構成するn<sup>-</sup>拡散領域2が形成されている。n<sup>-</sup>拡散領域2の主表面にはチャンネル領域を挟むように所定の間隔を隔ててp型拡散領域5および6が形成されている。チャンネル領域上にはゲート絶縁膜を介してポリシリコン膜からなるゲート電極8が形成されている。このゲート電極8とp型拡散領域5および6とによってpチャネル型MOSトランジスタが構成されている。

【0026】また、p型拡散領域6とフィールド酸化膜10を隔てた位置には、チャンネル領域を挟むように所定

10

の間隔を隔ててn型拡散領域3および4が形成されている。そのチャンネル領域上にはゲート絶縁膜を介してポリシリコン膜からなるゲート電極9が形成されている。そのゲート電極9およびn型拡散領域3および4によってnチャネル型MOSトランジスタが構成されている。このnチャネル型MOSトランジスタとpチャネル型MOSトランジスタとによってCMOS領域が構成される。フィールド酸化膜10とn型拡散領域3および4とp型拡散領域5および6とゲート電極8および9とを覆うように素子の保護膜としてのパッシベーション膜12が形成されている。パッシベーション膜12のn型拡散領域3および4とp型拡散領域5および6との上に対応する位置にそれぞれコンタクトホールが形成されており、そのコンタクトホールを介して拡散領域3〜6にそれぞれソース/ドレイン電極が接続されている。

【0027】また、フィールド酸化膜10上にはp型半導体基板1とはほぼ同電位であるアルミ電極（アルミ配線）15と高電圧が印加されるアルミ電極（アルミ配線）11とが形成されている。アルミ電極11および15とパッシベーション膜12とソース/ドレイン電極とを覆うように導電性のガラスコート膜13aが形成されている。導電性のガラスコート膜13aの上表面に接触するようにモールド樹脂14が形成されている。

【0028】ここで、この実施の形態1では、従来と異なり導電性のガラスコート膜13aを採用している。この導電性ガラスコート膜13aの採用によって、後述するようにその導電性ガラスコート膜13aとモールド樹脂14との界面に電界が蓄積されるので、モールド樹脂14の分極による電界をシールドすることができる。

【0029】次に、等価コンデンサモデルを示した図2を参照して、ガラスコート膜13aの容量（C1）とモールド樹脂14の容量（Cm）とフィールド酸化膜10、パッシベーション膜12およびガラスコート膜13aの容量（C2）とが直列に接続されている。電圧（V）がアルミ電極11に印加されると、各コンデンサの容量に従って電圧が分担される。

【0030】ここで、この実施の形態1の構造では、アルミ電極11が高電位になると、図3に示すような電界が生じる。ガラスコート膜13aは導電性を有する絶縁膜であるため、ガラスコート膜13a内部の電界をガラスコート膜13a自体が帯電することによってその電界を減少させることができる。しかし、この場合は図2に示す（V1）が小さくなることを意味するため、（Vm）および（V2）の電圧はむしろ大きくなってしまふ。したがって、この実施の形態1による構造でも（C1）の部分で電界を遮蔽することは困難である。

【0031】その一方、容量（C2）の領域では以下のような効果を得ることができる。モールド樹脂14が分極するしないにかかわらずCMOS領域には垂直方向の電界が存在している。この電界によるドリフト電子電流

50

がアルミ電極15やソース／ドレイン電極からモールド樹脂14の方向に向かって流れ、その結果、図3に示すように、ガラスコート膜13aとモールド樹脂14との界面に電子が蓄積される。これにより、電界をシールドする効果が発生する。ここで、CMOS領域のアルミ電極15の電圧は多くともCMOS電源電圧程度であるため、アルミ電極15はCMOS電源電圧を超える領域に向かって電子を供給し、最終的にCMOS領域上部でのモールド樹脂14とガラスコート膜13aとの界面の電圧をCMOS電源電圧以下に低減させる。CMOS領域のフィールド反転電圧( $V_{tf}$ )はCMOS電源電圧では反転しないように設計されているため、上記のようにモールド樹脂14とガラスコート膜13aとの界面の電圧をCMOS電源電圧以下に抑えることによってリーク電流の発生を有効に抑制することができる。また、このような効果はモールド樹脂14の分極に追従して発生するという大きな利点もある。

【0032】アルミ配線15からガラスコート膜13a内を横方向に電流が流れるためには、低電界におけるガラスコート膜13aの導電率がある程度以上の値であることと、モールド樹脂14が分極し始める温度より低い温度から十分な導電領域を持っていることとを満たす必要がある、この条件を満たせば非常に安定してガラスコート膜13a内を電流が流れることができる。

【0033】次に、上記した条件を満たすガラスコート膜13aの特性について定量的に考察する。フィールド反転電圧( $V_{tf}$ )は一般的に20V以上であるので、フィールド酸化膜10の厚みを1 $\mu$ mとすると、フィールド反転電圧 $V_{tf}$ 程度の電圧での垂直方向の電界は $2 \times 10^5$  [V/cm]のレベルである。上述のようにガ\*30

$$\text{導電率} \geq 1 \times 10^{-10} / E \dots (1)$$

$$(E: \text{電界強度 [V/cm]}, E \geq 2 \times 10^4 \text{ [V/cm]})$$

【0035】上記式(1)を満たすようなガラスコート膜13aを形成すればよいことがわかる。電界と導電率との関係を実測したデータを図4および図5に示す。図4では17℃の温度条件下で測定しており、図5では145℃の温度条件下で測定している。図4および図5に示されたハッチング領域は上記式(1)の条件を満たさない領域を示している。また図4および図5のデータは、屈折率1.98、2.05、2.10および2.15を有するプラズマ窒化膜でガラスコート膜13aを形成した場合のデータである。また図4および図5中のAおよびBは2種類の処理装置を示している。これらの各サンプルのモールド樹脂14の分極について調査したところ、いずれの場合も屈折率が2.05より小さくなると上記したリーク電流が発生することが判明した。この結果、リーク電流の発生は屈折率と強い相関関係を示すことがわかった。したがって、上述の説明から導電率と屈折率とが強い相関関係を示すと考えられるが、この相

\* ラスコート膜13a中を横方向に電子が流れることを考慮すると、 $2 \times 10^4 \sim 2 \times 10^5$  [V/cm]の電界におけるガラスコート膜13aの導電率が重要となる。また、モールド樹脂14の分極をキャンセルするのに必要な時間はガラスコート膜13aを流れる電流の電流密度と移動度とによって決定される。この場合、ガラスコート膜13a中の電荷の一般的な移動度を考慮すると、移動度の影響は無視してよい。したがって、電流密度からモールド樹脂14の分極をキャンセルする時間を見積る。ここで、モールド樹脂14の分極する電荷密度を $1 \times 10^{11} \sim 1 \times 10^{12}$  [1/cm<sup>2</sup>]とすると、電流密度は $1 \times 10^{-10}$  [A/cm<sup>2</sup>]であるから、分極をキャンセルする時間( $t$ )は、 $t = 1 \times 10^{11} / (1 \times 10^{-10} / q) \sim 1 \times 10^{12} / (1 \times 10^{-10} / q) \approx 160 \sim 1600$  [sec]になる。 $q$ は電子の電荷量であり、 $q = 1.6 \times 10^{-19}$  [C]である。ここで、モールド樹脂14の分極によるリークは、1時間(3600秒)程度で発生するため、上記した160~1600秒でモールド樹脂14の分極をキャンセルできればよいと考えられる。したがって、電流密度は $1 \times 10^{-10}$  [A/cm<sup>2</sup>]以上あればよいことがわかる。また、電流密度が $1 \times 10^{-10}$  [A/cm<sup>2</sup>]において電界が $2 \times 10^4 \sim 2 \times 10^5$  [V/cm]の場合に必要なとされる導電率を求めると、 $1 \times 10^{-10} / 2 \times 10^4 \sim 1 \times 10^{-10} / 2 \times 10^5 = 5 \times 10^{-15} \sim 5 \times 10^{-16}$  [1/ $\Omega$ cm]である。この式の電界を $E$ で置き換えると、以下の式(1)が得られる。

【0034】

【数6】

関関係は図5の145℃の温度条件下での電界 $1 \times 10^5$  [V/cm]以下の領域においてははっきりとしている。逆にいうとそれ以外の領域では相関関係が全くないかまたは逆になっている。モールド樹脂14が高温で分極し始めることと、 $2 \times 10^5$  [V/cm]以下の低電界での導電率が重要であることを考えると、図5に示されたような $1 \times 10^5$  [V/cm]以下の電界での145℃の温度条件下での導電率と屈折率との相関関係から、屈折率とリーク電流の発生とが強い相関関係にあるといえる。

【0036】図4および図5に示したデータにおいて注目すべき点は、低電界における導電率の温度依存性が屈折率2.05以下では負となっていることである。言い換えると、屈折率2.05以下ではモールド樹脂14の分極が発生する高温時には低温時に比べて導電率が低下するということである。このことは、屈折率2.05以下では低電界において高温時にリークの発生が容易に起



くることを意味している。以上のことから、ガラスコート膜13aを窒化膜で形成した場合の条件としては、屈折率が2.05以上となる。

【0037】(実施の形態2)次に、図6を参照して、本発明の実施の形態2による高耐圧ICの構造について説明する。この実施の形態2における高耐圧ICでは、図1に示した実施の形態1の構造と基本的には同じである。この実施の形態6の構造では、実施の形態1に示した導電性のガラスコート膜13aとモールド樹脂14との間にさらに通常のガラスコート膜13bを形成している。ガラスコート膜13aは実施の形態1と同じ式

(1)の条件を満たすような導電率を有している。ガラスコート膜13bはガラスコート膜13aと異なり高抵抗の通常のガラスコート膜を用いる。この実施の形態2の構造では、ICチップをモールドする前にガラスコート膜13aの表面に導電性のものが付着したときにその領域が電氣的に短絡した状態になることを防止することができ、これにより、導電性の異物が付着した場合に配線間の抵抗が低下しリーク電流の原因になるという不都合を防止することができる。このように、この実施の形態2では導電性のガラスコート膜13a上に高抵抗のガラスコート膜13bを配置することによって、導電性のガラスコート膜13aのみの場合にその表面に異物が付着して素子へ悪影響を及ぼすという不都合を有効に防止することができる。

【0038】(実施の形態3)次に、図7を参照して実施の形態3による高耐圧ICの構造について説明する。この実施の形態3では、図6に示した実施の形態2と異なり、高抵抗のガラスコート膜13bが導電性のガラスコート膜13aの下に配置されており、高抵抗のガラスコート膜13bがソース/ドレイン電極に接して覆う構造となっている。また、導電性のガラスコート膜13aは上記した式(1)の条件を満たす導電率を有している。その導電性のガラスコート膜13aはp型半導体基板1とはほぼ同電位のアルミ配線15の上表面の一部にのみ接触して形成されている。その他の構造は上記した実施の形態1および2の構造と同様である。この実施の形態3の構造では、導電性のガラスコート膜13aに接しないように形成された配線間は通常の高抵抗のガラスコート膜13bで覆われるように形成しているため、ガラスコート膜13aの導電性に起因するリーク電流の可能性をなくすることができる。また、アルミ配線15にガラスコート膜13aが接しているため、アルミ配線15から電荷が供給されることによって実施の形態1と同様の電界シールド効果を得ることができる。また、図示しないが、導電性のガラスコート膜13aの上で、かつモールド樹脂14の下にさらに通常の高抵抗のガラスコート膜13bを形成すれば、実施の形態2と同様、ガラスコート膜の表面に導電性の異物が付着した場合の不都合を防止することができる。

【0039】(実施の形態4)次に、図8を参照して実施の形態4の高耐圧ICについて説明する。この実施の形態4の構造は、図7に示した実施の形態3のガラスコート膜13aとアルミ配線15とのコンタクト部分の構造の変形例である。この実施の形態4では、通常のガラスコート膜13bがアルミ配線15の側面および上面を覆うように形成されているとともに、ガラスコート膜13bがアルミ配線15の上部表面上において第1の開口を有するように形成されている。そして、導電性のガラスコート膜13aは高抵抗のガラスコート膜13bの第1の開口内でアルミ配線15に接触するとともに、アルミ配線15の上部表面上に第1の開口よりも小さい第2の開口を有するように形成されている。このように構成することによって、実施の形態3と同様、ガラスコート膜13aの導電性に起因するリーク電流の可能性をなくすることができる。また、図示はしないが導電性のガラスコート膜13a上にさらに通常の高抵抗のガラスコート膜13bを形成すれば、実施の形態2と同様、ガラスコート膜表面に導電性の異物が付着した場合の不都合を防止することができる。

【0040】図8に示した実施の形態4の製造プロセスとしては、ガラスコート膜13bを形成した後に所定の形状を有するレジストを形成する。そのレジストを用いてガラスコート膜13bをエッチングする。このエッチングの際にガラスコート膜13bのサイドエッチングが大きくなるようにする。そしてそのレジストを除去した後導電性のガラスコート膜13aを堆積し、上記したレジストを形成したのと同じマスクで再びレジストを形成する。そのレジストをマスクとして導電性のガラスコート膜13aをエッチングするが、この場合のサイドエッチは小さめに行なう。これにより、図8の構造が得られる。このような製造プロセスを用いれば、マスクの追加を行わずに図8の構造を容易に形成することができる。なお、図8のアルミ配線15をボンディングパッドとして用いた場合、隣接するボンディングパッド間のみリーク電流の可能性が生じる。しかし、この場合の隣接するボンディングパッド間の抵抗はシート抵抗1シート分程度であるため、従来の構造の回路内部の一般的な平行配線間の抵抗(0.01~0.001シート抵抗)に比べるとボンディングパッド間の抵抗は十分に大きい。したがって、ボンディングパッド間のリーク電流の可能性は極めて少ない。

【0041】(実施の形態5)次に、実施の形態5の構造について図9を参照して説明する。この実施の形態5では上記した実施の形態3のアルミ配線15部分の構造を2アルミプロセス化したものである。図9に示すように、アルミ配線15上には2層目のアルミ配線16が形成されている。2層目のアルミ配線16は、高抵抗のガラスコート膜13bのアルミ配線15上に位置する第1の開口内でアルミ配線15と接触するとともにその第1

の開口を充填するように形成されている。また2層目のアルミ配線16の端部は高抵抗のガラスコート膜13b上に乗り上げた形状を有している。そして導電性のガラスコート膜13aは高抵抗のガラスコート膜13bの上表面上と2層目のアルミ配線16の上表面上とに接触するように形成されている。このように構成することによって、導電性のガラスコート膜13aは2層目のアルミ配線16を介してアルミ配線15と接することになる。このアルミ配線15および16と、その他の1層目のアルミ配線とを電氣的に分離することによって、1層目のアルミ配線15とその他の1層目のアルミ配線とで構成された一般的な回路のリーク電流を防止することができる。また、導電性のガラスコート膜13aの上にさらに通常の高抵抗のガラスコート膜13bを形成すれば、上記した実施の形態2と同様、ガラスコート膜の表面に導電性の異物が付着した場合の不都合を防止することができる。

【0042】(実施の形態6)次に、図10を参照して実施の形態6による高耐压1Cの構造について説明する。この実施の形態6の構造は、基本的には図1に示した実施の形態1の構造と同様である。ただし、この実施の形態6においては、導電性のガラスコート膜13aが、高電圧が印加されるアルミ電極11を覆う部分とその他の高電圧が印加されない電極を覆う部分とに分離して形成されている。このように構成することによって、高電圧が印加されるアルミ電極11と高電圧が印加されないCMOS領域との間のリーク電流の発生を有効に防止することができる。ガラスコート膜13aの分離した領域を形成するためのパターンニングは、たとえばボンディングパッド部分上のガラスコート膜13aのパターンニングと同時に進行することができるので製造プロセスが複雑化することもない。この実施の形態6によるガラスコート膜13aの分離構造は、上記した実施の形態2および3の多層のガラスコート膜13aおよび13bを有する構造においても適用可能である。図11は、多層のガラスコート膜13aおよび13bを有しかつ2層アルミプロセスで形成した構造に実施の形態6を適用した場合の例を示している。高抵抗のガラスコート膜13bは、導電性のガラスコート膜13aの上表面上に接触するとともに導電性のガラスコート膜13aの分離された領域を埋込むように形成されている。また、アルミ配線11の上表面上の導電性のガラスコート膜13aにはコンタクトホールが形成されており、そのコンタクトホール内でアルミ配線11と接触するように2層目のアルミ配線16が形成されている。2層目のアルミ配線16は通常の高抵抗のガラスコート膜13bによって覆われている。この図11に示した構造では、導電性のガラスコート膜13aを層間膜として使用したので、ガラスコート膜13aにコンタクトホールを形成する際に同時にガラスコート膜13aの分離を行なうことができ、それにより、製造工

程を増加させることもない。また、ガラスコート膜13aの分離した領域も通常の高抵抗のガラスコート膜13bによって覆われるので、一部ガラスコート膜のない領域が存在することによる耐湿性への悪影響などを防止することができる。

【0043】(実施の形態7)次に、図12を参照して実施の形態7の構造について説明する。この実施の形態7では、図9に示した実施の形態5の構造を、ボンディングパッド部分の構造に適用している。図12に示すように、フィールド酸化膜10上のパッシベーション膜12上には所定の間隔を隔ててアルミ配線15aおよび15bが形成されている。そして、パッシベーション膜12およびアルミ配線15aおよび15bを覆うように通常の高抵抗のガラスコート膜13bが形成されている。ガラスコート膜13bのアルミ配線15aおよび15b上に相当する領域にはコンタクトホールがそれぞれ設けられている。アルミ配線15a上のコンタクトホール内には2層目のアルミ配線16がそのコンタクトホールを充填するように形成されている。またガラスコート膜13b上および2層目のアルミ配線16上には導電性のガラスコート膜13aが形成されている。導電性のガラスコート膜13aの2層目アルミ配線16上に位置する領域とアルミ配線15b上に位置する領域とはそれぞれコンタクトホールが形成されている。アルミ配線15b上に位置するガラスコート膜13aおよび13bのコンタクトホールは同じ大きさで形成されているので、ガラスコート膜13aはアルミ配線15bには接触していない。言い換えるとガラスコート膜13aは2層目アルミ配線16にのみ接触する。より詳細には、ボンディングパッドの形状を1層のみのアルミ配線15bのような構造にすると、アルミ配線15bをガラスコート膜13aと接しないように形成できる。これにより、ガラスコート膜13aと接するボンディングパッドと接しないボンディングパッドとを同時に形成することができる。なお、導電性のガラスコート膜13aの上にさらに通常の高抵抗のガラスコート膜(図示せず)を形成することによって実施の形態2と同様、ガラスコート膜表面に導電性のものが付着した場合の不都合を防止することができる。

【0044】なお、本発明の範囲は上記した実施の形態の説明ではなく、特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれると解釈されるべきである。

【0045】

【発明の効果】以上のように、請求項1に記載の発明によれば、所定の導電率を有する導電性のガラスコート膜の採用によって、モールド樹脂の分極によるリーク電流の発生を有効に防止することができる。

【0046】請求項2に記載の発明によれば、請求項1に記載の効果に加えて、導電性の第1のガラスコート膜

を採用したとしても高電圧が印加される電極と高電圧が印加されない電極との間でリーク電流が発生するのを有効に防止することができる。

【0047】請求項3に記載の発明によれば、上記した請求項2の効果に加えて、第1のガラスコート膜の分離された領域においてデバイス表面を第2のガラスコート膜によって覆うことにより、第1のガラスコート膜のない領域が存在することにより耐湿性が低下するという不都合を防止することができる。

【0048】請求項4および5に記載の発明によれば、第1の配線層以外の配線層には第1のガラスコート膜が接さず、第1の配線層以外の配線層は第2のガラスコート膜で覆われるように形成することによって、第1のガラスコート膜の導電性に起因するリーク電流の発生を防止することができる。

【0049】請求項6に記載の発明によれば、配線層を第1および第2の配線層の2層構造に構成することによって、1層目の配線層で構成された一般的な回路のリーク電流を防止することができる。

【0050】請求項7に記載の発明によれば、上記した請求項6の効果に加えて、第1のガラスコート膜を第2の配線層のみに接触させることができ、第1のガラスコート膜に接触する配線層と接触しない配線層とを同時に形成することができる。

【0051】請求項8に記載の発明によれば、ガラスコート膜を2.05以上の屈折率を有する窒化膜を含むように構成することによって、上記の屈折率を有する窒化膜は導電性を有することになり、その結果モールド樹脂の分極によるリーク電流の発生を有効に防止することができる。

【0052】請求項9に記載の発明によれば、請求項2と同様、導電性の第1のガラスコート膜を採用したとしても高電圧が印加される電極と高電圧が印加されない電極との間でリーク電流が発生するのを防止することができる。

【0053】請求項10に記載の発明によれば、請求項4と同様、第1の配線層以外の配線層には第1のガラスコート膜が接さず、第1の配線層以外の配線層は第2のガラスコート膜で覆われるように形成されるので、第1のガラスコート膜の導電性に起因するリーク電流の発生を防止することができる。

【0054】請求項11に記載の発明によれば、請求項6と同様、配線層を第1および第2の配線層の2層構造

に構成することによって、1層目の配線層で構成された一般的な回路のリーク電流を防止することができる。

【0055】請求項12に記載の発明によれば、不純物領域がモールド樹脂の分極による電界によって反転するのを防止することができ、その結果リーク電流を低減することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1による高耐圧ICを示した断面図である。

10 【図2】 図1に示した構造の等価コンデンサモデルを示した概略図である。

【図3】 図1に示した構造において発生する電界を説明するための断面図である。

【図4】 17℃の温度条件下におけるプラズマ窒化膜の電界-導電率の関係を示した図である。

【図5】 145℃の温度条件下におけるプラズマ窒化膜の電界-導電率の関係を示した図である。

【図6】 本発明の実施の形態2による高耐圧ICを示した断面図である。

20 【図7】 本発明の実施の形態3による高耐圧ICを示した断面図である。

【図8】 本発明の実施の形態4による高耐圧ICを示した断面図である。

【図9】 本発明の実施の形態5による高耐圧ICを示した断面図である。

【図10】 本発明の実施の形態6による高耐圧ICを示した断面図である。

【図11】 本発明の実施の形態6の変形例による高耐圧ICを示した断面図である。

30 【図12】 本発明の実施の形態7による高耐圧ICを示した断面図である。

【図13】 従来の高耐圧ICを示した断面図である。

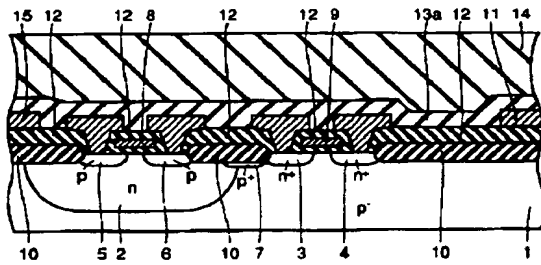
【図14】 図13に示した従来の高耐圧ICに掛かる電界の状態を示した断面図である。

【図15】 図13に示した構造における等価コンデンサモデルを示した概略図である。

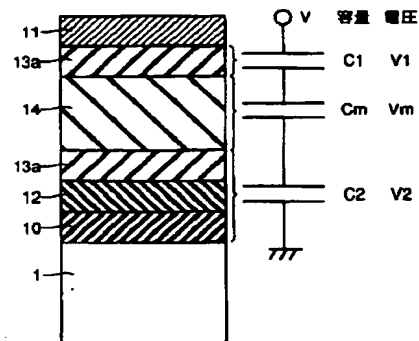
【符号の説明】

1 p型半導体基板、2 n<sup>-</sup>拡散領域、5, 6 p型拡散領域、8 ゲート電極、11, 15 アルミ電極（アルミ配線）、13a 導電性のガラスコート膜、13b 通常の高抵抗のガラスコート膜、14 モールド樹脂。

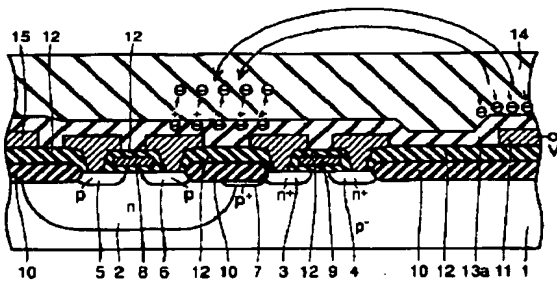
【図1】



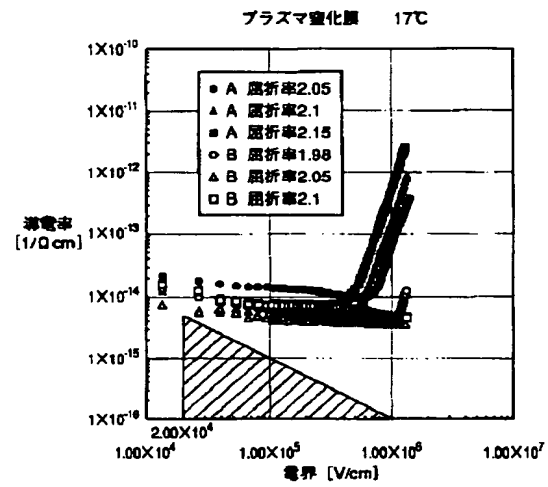
【図2】



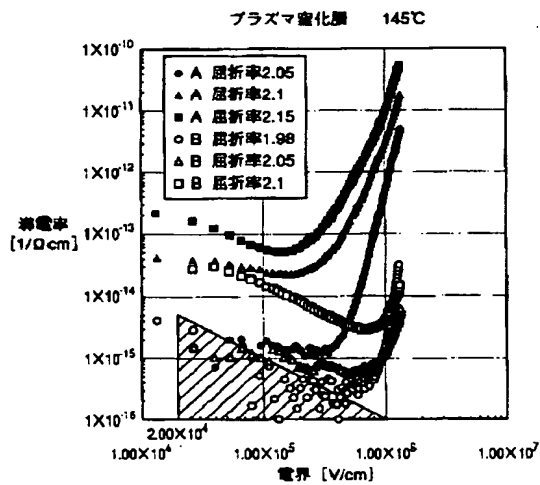
【図3】



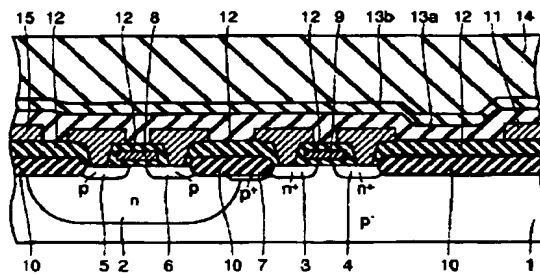
【図4】



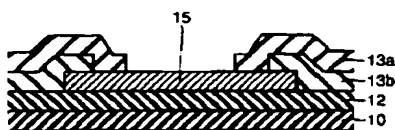
【図5】



【図6】



【図8】



【図9】

